

ARC DISCHARGE PREVENTIVE CIRCUIT

Patent Number: JP5311418
Publication date: 1993-11-22
Inventor(s): KURIYAMA NOBORU; others: 01
Applicant(s): SHIBAURA ENG WORKS CO LTD
Requested Patent: ☐ JP5311418
Application Number: JP19920117836 19920512
Priority Number(s):
IPC Classification: C23C14/34
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent the standards of products from being impaired by arc discharge energy by utilizing a cable to connect a sputtering device or magnetron sputtering device having a target functioning electrically as a load and a DC power source.

CONSTITUTION: The positive and negative terminals of the cable 9 connected to the power source 6 are connected to the target 3 of the sputtering device 1 and further, a capacitor 5 is connected to the target 3 and the cable 9 and inductances 7, 8 are provided between this negative terminal and the target 3. In addition, a diode 4 is formed in parallel with the target 3 at the optimum reactance, by which the arc discharge preventive circuit is constituted. The product standards of the thin films to be deposited by the sputtering device are prevented from being impaired by the energy at the time of the arc discharge if such arc discharge preventive circuit is provided via the cable 9 between the power source 6 and the sputtering device 1.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-311418

(43)公開日 平成5年(1993)11月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
C 2 3 C 14/34		9046-4K		
// H 0 5 H 5/02		B 9014-2G		

審査請求 有 請求項の数 1 (全 7 頁)

(21)出願番号 特願平4-117836

(22)出願日 平成4年(1992)5月12日

(71)出願人 000002428

株式会社芝浦製作所

東京都港区赤坂1丁目1番12号

(72)発明者 栗山 昇

神奈川県座間市相模が丘6丁目25番22号

株式会社芝浦製作所相模工場内

(72)発明者 下畠 雄一郎

神奈川県座間市相模が丘6丁目25番22号

株式会社芝浦製作所相模工場内

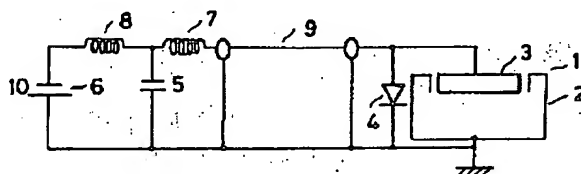
(74)代理人 弁理士 大胡 典夫

(54)【発明の名称】 アーク放電防止回路

(57)【要約】

【目的】 電氣的に負荷として機能するターゲットを備えたスパッタ装置やマグネトロンスパッタ装置と、DC電源に接続するには、ケーブルを利用している。しかし、その長さにより振動条件が変化し、最悪の条件でも振動が確保できない知見に基づいて本発明は完成したもので、アーク放電エネルギーにより、製品の規格を損なうのを防止する点。

【構成】 電源に接続するケーブルの正負端子をスパッタ装置のターゲットに接続し更に、ターゲットとケーブルには、コンデンサー5を接続すると共に、その負端子とターゲット間にインダクタンスを設る。その上ターゲットに最適のリアクタンスでターゲットと並列にダイオードを形成して構成する。このようなアーク放電防止回路を電源とスパッタ装置間にケーブルを介して設けると、アーク放電時のエネルギーによってスパッタ装置により堆積する薄膜の製品規格を損なうこと防止できる。



【特許請求の範囲】

【請求項1】 電源回路に接続するケーブルと、このケーブルの正負端子に接続するターゲットと、このターゲットとケーブル間に接続するコンデンサーと、このコンデンサーの負端子とターゲット間に接続するインダクタンスと、前記ターゲットに最適のリアクタンスでターゲットと並列に接続するダイオードとを具備することを特徴とするアーク放電防止回路

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、スパッタ装置のアーク放電防止回路の改良に関する。

【0002】

【従来の技術】スパッタ装置では、グロー放電に伴う陰極スパッタ現象を利用することにより、ターゲット（陰極）からスパッタにより飛び出した金属原子を、陽極近くに配置した基板表面に堆積・付着して薄膜を成膜する。

【0003】このような原理のスパッタ装置を生産規模で稼働するために、5～10KW以上の大電力を投入した場合、ターゲットのスパッタ面に正常なグロー放電が生じていれば問題ないが、ターゲット面などの汚れにより局部的に放電が集中すると、その部分だけ温度が上昇するために熱電子が放出していわゆるアークスポットが生じてアーク放電に移行する。

【0004】このようなアーク放電が発生すると、前記の大電力電源では、その出力インピーダンスが低い（例えば放電インピーダンスとしては数十Ω程度）ので非常に大きなアーク電流が流れてアークが持続されて有効なスパッタができない。

【0005】一方、スパッタ装置における陰極スパッタ面即ちターゲット面が大きくなるにつれて、アークスポットの原因となる汚れがどうしても増えて、アーク放電が発生する部分以外は、少しもスパッタされない。従って、他の汚れなどが取れない状態を維持することになり、電源の投入と遮断を繰返しても、汚れなどがスパッタされて除かれな限り、アークスポットの発生する頻度が残る。しかも、電源の投入と遮断を早く行わないとスパッタ装置になかなか電源が有効に投入されないことになる。

【0006】ところで、アークを消去する方法としては、L、Cとアークによる振動による方法が知られており、ウルテック社のイオンポンプ電源回路、日本電子社の電子ビーム蒸発源用電源回路更に、アネルバ社のスパッタ電源などの公告特許または公開特許が知られており、このような手段は、マグネトロン型スパッタ装置のスパッタ電源にも利用できる。

【0007】また、電圧が高く、電流の小さい時は、電源のインピーダンスを大きくすることにより、アーク放電の防止が可能であり、蛍光灯の安定器やネオンランプ

の安定抵抗なども極論するとこのような役割がある。反対に電流が増えてくると、電源インピーダンスを大きくできないので、何らかのアーク放電の防止策が必要となり、半波整流やSCRにより位相制御して、休止期間を置く方法が採られた。

【0008】しかし、リップルが大きく電力測定が困難な点に加えて、電子ビーム蒸発源のように本質的に低リップルの電源が求められる応用では、アークを検出してから出力を遮断する方法が考えられた。

10 【0009】スローン社やエアコテメスカル社の電子ビーム蒸発源の真空管スイッチによるアーク防止回路が知られており、この考えの延長上にスパッタ電源のアーク防止回路がある。更に、電子ビーム蒸発源用の電源と同様に、アークが発生すると電流が急激に増加するのでその電流を検出して出力を一定期間遮断してアークスポットを冷却する方法である。

【0010】家庭用のビデオカメラに使用する撮像管の製造装置に使用するITOスパッタ電源では、電圧検出用トランジスタスイッチによるアークカット回路の採用により、スプラッシュ皆無のスパッタが可能になり、撮像管の量産に成功した。これに対して、電流検出や振動による方法では、スプラッシュ（Splash）を皆無にすることはできなくて、量産できなかったであらう。

【0011】このような電圧検出と負荷に直列に配置したスイッチ素子による限界は、スイッチ素子にかかっており、更に大電流のスパッタ装置に見合う適当なスイッチ素子は無かった。

【0012】ところで、大電流を流している状態を急にOffすると、回路に含まれるインダクタンスの自己誘導電圧が全てスイッチ素子にかかってしまうために、そのエネルギーを吸収する工夫と、スイッチ時間のある程度遅く設定する必要がでてくる。これを避けるためには、直列にスイッチ素子を組込むのではなく、アーク放電に対して並列にスイッチ素子を設置することによりアークが生じたらスイッチをOnすれば良い。

【0013】しかし、いつかはこのスイッチ素子を切らなければならないから、L、Cにより振動して回路電流が反転する時にスイッチをOffすれば良い。このような短絡により回路を振動する手法は、電流が0になってスイッチをOffするので、核融合に利用するクローバ回路や、サイリスタインバータに用いられており、サイリスタを使うと回路が比較的簡単に製作することができる。

40 【0014】サイリスタによる回路の問題は、Offが電流0の時点で発生するので、Onするのに何等かの直列スイッチを設置しないと、Onのタイミングを選べない点にある。また、電流0でOffと言ってもサイリスタは、キャリアのライフタイムが長いので、消滅時間を100μsec以上採らなくてはならないので、L、Cを大きくして振動周期を長くしなければならない

3

点にある。

【0015】しかし、芝浦製作所製のスパッタ装置用2 Kw電源回路では、ノーマルモードにサイリスタによるアークカット方式を採用し、ピュリファイモードにアークスイッチによる振動回路方式である。

【0016】図1には、スパッタ装置の減圧チャンバー1に設置するターゲット2に、ケーブル3を介して設置する電源回路例を模式的に示した。この電源回路は、正極にLを、正極と負極間にCを取付け、更にCとターゲット2をケーブル3により結ぶ構造である。

【0017】

【発明が解決しようとする課題】アーク放電スイッチ素子としてL、Cより振動させ電流の反転期間でアークを消滅させる回路は、放電を安定化する回路として古くから知られているが、詳しい解析に関しては不明である。特に、1 Aクラスまでの回路では、適当にチョークコイルとコンデンサーをDC電源の出力に配置すると、うそのようにアーク放電が止まってしまうため、詳しい解析が行われなかったためと推定される。

【0018】従って、装置メーカーやプロセス研究者は、電源から負荷までの配線のインダクタンスや抵抗により、電源を含めたアークカット振動の動作が決まって入ることの気付かなかったと思われる。

【0019】10 Aを超えるDC電源では、振動によるアーク防止回路が条件により失敗するので、電源制御として失敗後のアーク電流の上昇をとらえ出力を一定期間停止する回路を設けて電源を制御し、これをアークカット動作と呼んでいた。この停止条件を適当に選ぶことにより振動によるアーク放電の防止の失敗を抑制してきた。

【0020】電気的に負荷として機能するターゲットを備えたスパッタ装置からマグネトロンスパッタ装置と、DC電源に接続するには、ケーブルを利用している。しかし、その長さにより振動条件が変化し、最悪の条件でも振動が確保できないことが判明した。

【0021】本発明は、このような事情により成されたもので、新規なアーク放電防止回路を提供することを目的とするものである。

【0022】

【課題を解決するための手段】電源回路に接続するケーブルと、このケーブルの正負端子に接続するターゲットと、このターゲットとケーブル間に接続するコンデンサーと、このコンデンサーの負端子とターゲット間に接続するインダクタンスと、前記ターゲットに最適のリアクタンスでターゲットと並列に接続するダイオードと本発明に係わるアーク放電防止回路の特徴がある。

【0023】

【作用】従来のスパッタ装置に利用する電源では、振動用のインダクタンスにDC電源から負荷（ターゲット）までの配線のインダクタンスを利用しているが、ケーブ

4

ルの長さで振動条件が変化して最悪の条件での振動が確保できなかった。

【0024】しかし、逆方向アークを防止するには、ターゲットに対してダイオードを並列に設置することにより逆方向アークを基にする失敗がなくなった。

【0025】このように、ターゲットの負端子ならびにターゲット間に最適のリアクタンスでターゲットと並列にダイオードを接続する外に、ターゲットとケーブル間にコンデンサーを、またコンデンサーの負端子とターゲット間インダクタンスを設置することにより、アーク放電エネルギーにより製品の欠陥を損なうのを防止できる。

【0026】

【実施例】本発明に係わる一実施例を図1乃至図11を参照して説明する。

【0027】グロー放電に伴う陰極スパッタ現象を利用するスパッタ装置を生産規模で稼働するために、5～10 KW以上の大電力を投入する際に、ターゲット面などに汚れが付着すると局部的に放電が集中する。この結果、その部分だけ温度が上昇して熱電子が放出していわゆるアークスポットが生じてアーク放電が生じる。

【0028】そこで出力インピーダンスが低い（例えば放電インピーダンスとしては数十Ω程度）大電力電源では、非常に大きなアーク電流が流れてアークが持続されて有効なスパッタができない。

【0029】このようなスパッタ装置における陰極スパッタ面即ちターゲット面は、益々大きくなる傾向にあるので、アークスポットの原因となる汚れがどうしても増えるのに対して、アーク放電が発生する部分以外は、少しもスパッタされない。従って、アーク放電が発生する部分以外の汚れなどの状態を維持することになり、電源の投入と遮断を繰返しても、スパッタにより除かれないう限り、アークスポットの発生する恐れが残る。

【0030】このようなスパッタ装置の対策として特殊なアーク放電防止回路を本発明では、提供する。アーク放電防止回路の動作を図1乃至図10に、更にスパッタ装置に具体的に取付けた接続状態を図11に明らかにした。

【0031】図3乃至図10に明らかにした本発明に係わるアーク放電防止回路は、スパッタ装置1に不可欠な接地した減圧用チャンバー2に設置するターゲット3にできるアーク放電を防止するアーク放電防止回路を取付ける。

【0032】即ち、接地した減圧用チャンバー2に形成するターゲット3の正負端子間には、ダイオード4を最適のリアクタンスでターゲット3と並列に設置し、ダイオード4と並列してコンデンサ5と電源6をターゲット3の正負端子間に取付ける。

【0033】またインダクタンス7、8をターゲット3と電源6間に形成してアーク放電防止回路を構成する。

5

【0034】このようなアーク放電防止回路を備えたスパッタ装置を生産現場に設置するに際しては、当然ケーブル9を利用することになり、図11に記載した。即ちダイオード4と、インダクタンス7ならびにコンデンサ5との間をケーブル9により結んで電氣的に接続状態とし、インダクタンス8を介して電源10に接続する。このようなアーク放電防止回路の動作を、縦軸にターゲット電流(I)とターゲット電圧(V)を、横軸に時間を採り、かつ電流の原点Aと電圧の原点Bを図1に明らかにし、両者の時間的経過を図2に詳しく示した。図3乃至図10には、図2に記載した経時的な順番におけるターゲット電流やターゲット電圧の具体的挙動を明らかに

アーク放電が開始することによりターゲットに流れる電流を I_0 、ターゲットに

【外2】

印加する電圧を V_0 、コンデンサ5における電圧を V_c として図2に示してお

しており、アーク放電からそのピークに達するまでのタイミングにおける各種パラメータの動きを図2に示すと共に、図3と同様に図4には、ターゲット3と電源6間を流れる電流jと、ターゲット3とコンデンサ5間を流れる電流kを記載する。コンデンサ5の極性は、図示のように、紙面の下側が正極である。

【0037】次にアーク電流が少なくなるタイミング図2のC領域におきる現象を図5に示したが、図3と図4と違っているところがある。即ち、コンデンサ5の電圧極性が逆転しており、ターゲット3とコンデンサ5間を流れる通路kと、コンデンサ5と電源6間を流れる通路Lとに分かれる点である。通路Lでは、チョーク即ちインダクタンス8によりターゲット電流値が一定値を維持する(10図まで同様である)と共に、コンデンサ5がチャージアップ(Charge Up)し、通路kは、図4と違って逆向きとなる。

【0038】次に図6は、図2のd領域のタイミングにおける動作であり、即ちターゲット3の電圧が逆転してダイオード4に逆電流が流れそのピークまでのタイミングまでの動作である。コンデンサの電圧が逆電圧になる。通路kの向きは、図4のそれと逆向きとなる。

【0039】更に放電が進行して図2のe領域での動作を図7により説明する。この領域では、図7に明らかなように、ダイオード電流がピークを過ぎてかつ、コンデンサ5が正常な方向にチャージアップしているタイミングである。また、通路kの向きは、図5、6と違って正常な方向となる。更に、通路Lでの電流値は、図6などと同じく一定なのに対して、通路kのそれは図6の場合より小さくなる。

【0040】図2のf領域における引き続き放電における動作を図8により説明すると、これは、ダイオード電流が0を過ぎてダイオード4の残留キャリアにより逆方向電流が流れるタイミングに起きる現象である。図8に明

6

*した。

【0035】即ち、図1と図2に明らかにするターゲット電流Iとターゲット電圧vは、a領域とb領域の境界部分から急激に変化して、アーク放電が開始したことを示しており、この時のアーク放電防止回路の詳細な動作を図3に明らかにした。図2のa領域及び図3には、正常放電時の状態が示されており、ターゲット3と電源6間電流jがある。a領域及び図3は、正常放電時の状態が示されており、コンデンサ5の極性は、図示のように、紙面の下側が正極となる。

【0036】

【外1】

アーク放電が開始することによりターゲットに流れる電流を I_0 、ターゲットに

らかなように、通路Lは図7と同様な方向に流れるのに対して、通路kは、図7と逆方向に流れてコンデンサ5の正極も逆になる。

【0041】放電の最終段階が図2kg領域と図9に示した動作である。これは、ダイオードのキャリアが減少してインダクタンス7の電流を下げるので、負荷電圧

【外3】

$V_c + V_{L2}$ でサージが発生する。

このように本発明に係わるアーク放電防止回路では、ダイオードをターゲットの負端子ならびにターゲット間に最適のリアクタンスでターゲットと並列に接続する方式を採用した。しかし、その限界値がある。即ち、図10に明らかにするように、インダクタンス7を L_1 、インダクタンス8を L_2 としてコンデンサ5を C_2 とし、インダクタンス7とインダクタンス8に隣接して R_1 R_2 が存在するので、 C_2 と L_2 、 R_1 と R_2 の限界値、ならびに L_1 の限界値を以下の式で表すことができる。

【0042】 $1/2 C_2 V_c^2 = 1/2 L_2 I_p^2$

$I_p^2 = (C_2 / L_2) V_c^2$

$I_p = V_c \sqrt{C_2 / L_2}$

即ち、アーク放電により放電が失敗する場合には、ダイオードを取付けるアーク放電防止回路により、失敗がなくなる。しかし、スパッタ装置により薄膜を基板に堆積する製品は、当然規格に合格しない限り出荷できないが、ダイオード4だけを設置するアーク放電防止回路では、製品規格を満足できない場合が発生した。この対策として、図11に明らかにしたアーク放電防止回路をスパッタ装置1と電源6の間にケーブル9を介して取付けると、好結果が得られた。即ち、本発明に係わるアーク放電防止回路では、電源6に接続するケーブル9の正負端子をスパッタ装置のターゲット3に接続し更に、ターゲット3とケーブル9には、コンデンサ5を設けると

7

共に、その負端子10とターゲット3間にインダクタンス7を設る。その上ターゲット3に最適のリアクタンスでターゲット3と並列にダイオード4を形成して構成する。

【0043】このようなアーク放電防止回路を電源6とスパッタ装置1間にケーブル9を介して設けると、アーク放電時のエネルギーによってスパッタ装置により堆積する薄膜の製品規格を損なうことが殆ど発生しなかった。

【0044】

【発明の効果】このようにスパッタ装置を特定の場所にケーブルを利用して取付ける際、本発明に係わるアーク放電防止回路を使用すると、アーク放電によるエネルギーにより堆積する薄膜の製品規格を損なうことがなく、スパッタ装置の稼働率の向上ひいては生産性も増大するなど、実用上の効果が極めて大きい。

【図面の簡単な説明】

【図1】本発明に係わるアーク放電防止回路を設置するスパッタ装置における放電中の電流の経時的な変化を示す曲線図である。

【図2】図1における放電電流のターゲット電流とターゲット電圧変化を詳細に示す図である。

【図3】図2のa領域におけるターゲット電流などの流れを明らかにする曲線図である。

【図4】図2のb領域におけるターゲット電流などの流

8

*れを明らかにする曲線図である。

【図5】図2のc領域におけるターゲット電流などの流れを明らかにする曲線図である。

【図6】図2のd領域におけるターゲット電流などの流れを明らかにする曲線図である。

【図7】図2のe領域におけるターゲット電流などの流れを明らかにする曲線図である。

【図8】図2のf領域におけるターゲット電流などの流れを明らかにする曲線図である。

【図9】図2のg領域におけるターゲット電流などの流れを明らかにする曲線図である。

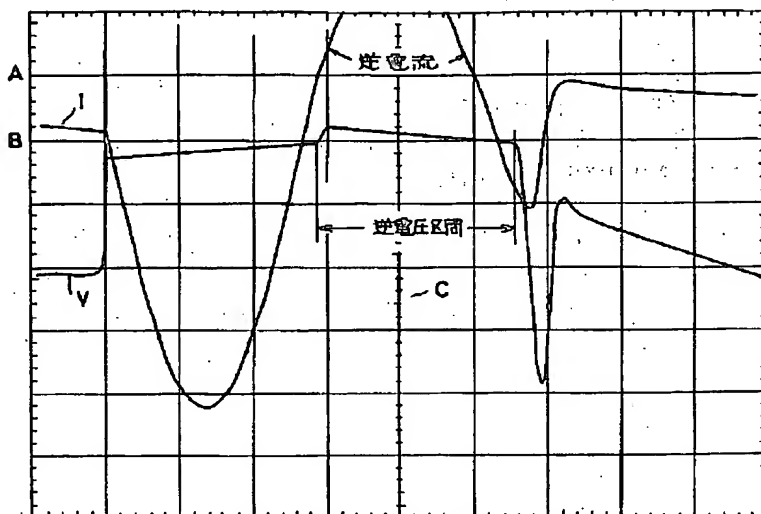
【図10】図3乃至図9に示すアーク放電防止回路の限界値を求めるのに利用する模式的な回路図である。

【図11】本発明に係わるアーク放電防止回路をスパッタ装置に取付けた状態を示す図である。

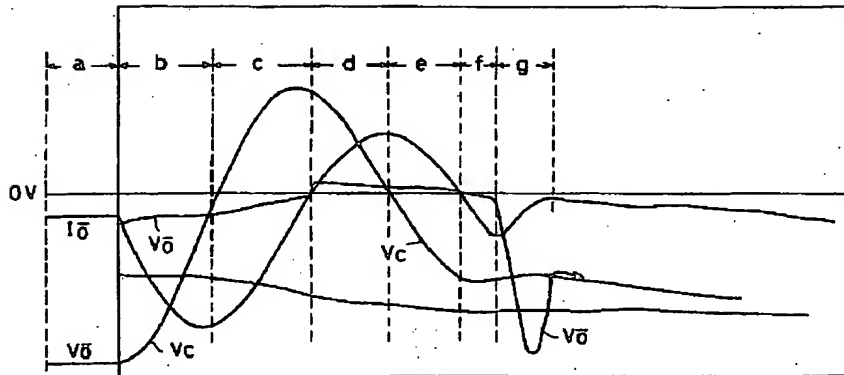
【符号の説明】

- 1：スパッタ装置、
- 2：減圧用チャンバー、
- 3：ターゲット、
- 4：ダイオード、
- 5：コンデンサ、
- 6：電源、
- 7、8：インダクタンス
- 9：ケーブル。

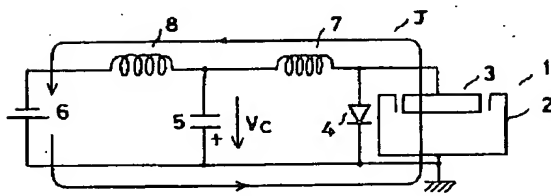
【図1】



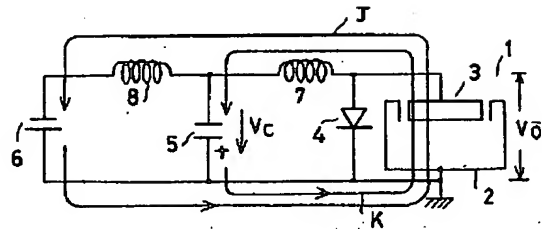
【図2】



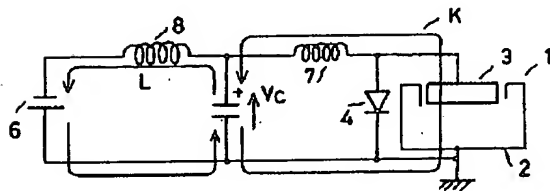
【図3】



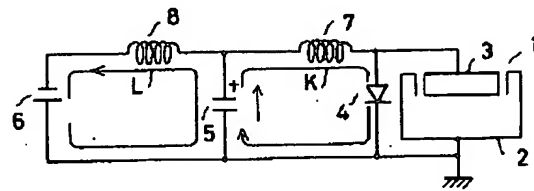
【図4】



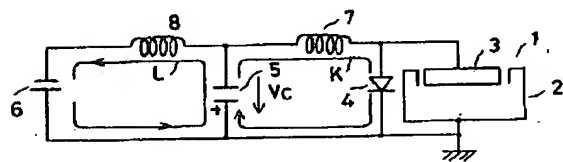
【図5】



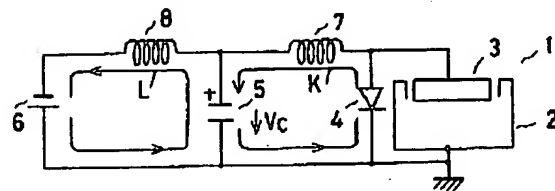
【図6】



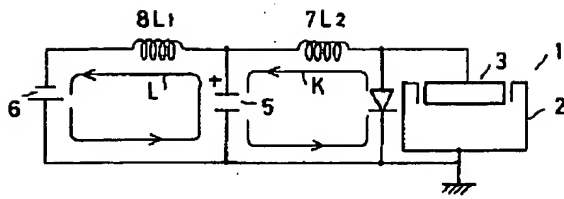
【図7】



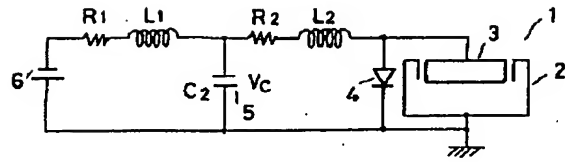
【図8】



【図9】



【図10】



【図11】

